

CALCOLATORI ELETTRONICI B – 7 luglio 2009

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si consideri il seguente frammento di codice MIPS:

add \$s0, \$t1, \$t2

sub \$s1, \$s0, \$t1

add \$s0, \$s1, \$s0

lw \$t0, 10(\$s0)

add \$s0, \$t0, \$t0

Si consideri l'implementazione con pipeline a 5 stadi (F: Fetch, D: Decode, E: Execute, M: Mem, W: Write-Back). Si chiede di:

a) individuare in modo preciso tutte le dipendenze tra i dati

b) tracciare il diagramma temporale delle istruzioni nell'ipotesi sia disponibile un'unità di propagazione verso lo stadio E (indicando esplicitamente le propagazioni e, per ognuna di esse, quale dato è propagato)

c) risolvere il punto precedente supponendo sia disponibile un'unità di propagazione verso lo stadio E ed una verso lo stadio M. [5]

2. Si consideri l'implementazione con pipeline a 5 stadi dell'esercizio precedente, per la quale si utilizza un hardware che richiede i seguenti tempi di esecuzione:

- prelievo istruzione e accesso alla memoria dati: 4 ns

- ogni altra operazione critica (ALU, decodifica, lettura e scrittura register file): 2 ns

Si assuma un carico di lavoro che prevede la seguente distribuzione delle istruzioni MIPS:

lw: 30 %

sw: 10 %

formato-R: 40 %

beq: 15 %

j: 5 %

Si supponga che metà delle istruzioni di Tipo-R e metà delle lw siano seguite da istruzioni che ne utilizzano il risultato; in particolare, il 25% delle istruzioni che seguono lw utilizzano il risultato nello stadio E (ed eventualmente anche in M), il rimanente 25% utilizzano il risultato solo nello stadio M.

Il processore utilizza una cache primaria distinta per i dati e le istruzioni, mentre non dispone di cache secondaria. La cache, che in caso di successo consente di accedere all'istruzione o al dato in un ciclo di clock, presenta le seguenti caratteristiche:

- percentuale di successo (hit rate): 90% per le istruzioni, 80% per i dati

- penalità di fallimento in scrittura: 5 cicli di clock

- penalità di fallimento in lettura: 10 cicli di clock

Trascurando le criticità sui salti (ovvero, considerando solo le criticità sui dati e i miss di cache), si calcoli il tempo medio di esecuzione per istruzione nei due casi seguenti:

- disponendo di un'unità di propagazione solo verso lo stadio E

- disponendo di un'unità di propagazione verso lo stadio E ed una verso lo stadio M.

Si giustificino brevemente le risposte fornite.

[4]

3. Si consideri il seguente frammento di codice MIPS:

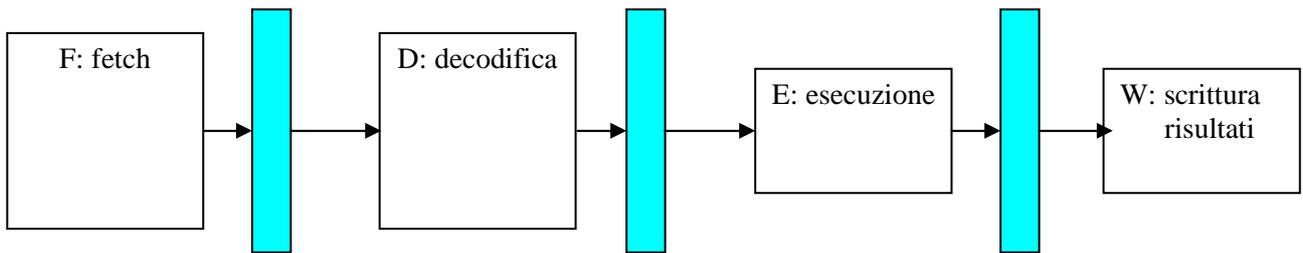
```
lw $s0, 20($t1)
beq $s0, $s1, Eq
add $t2, $t2, $t2
Eq:  add $t3, $s6, $s6
     add $t2, $t3, $t3
     sub $s2, $s2, $s3
```

Si consideri un'implementazione tramite pipeline a 6 stadi in cui la decisione e l'esecuzione del salto beq avviene nel terzo stadio della pipeline. Per la gestione delle criticità sui salti, viene adottata la tecnica del salto ritardato.

Quanti slot di ritardo sono presenti? Perché?

Si indichi, motivando brevemente la soluzione proposta, come potrebbe essere riordinato il codice (eventualmente se necessario aggiungendo anche istruzioni NOP) per gestire la criticità sul salto beq. [4]

4. A partire dalla figura seguente, si disegnano schematicamente (ma in modo preciso) l'unità di controllo della pipeline ed i relativi collegamenti.
Si consideri la presenza di una unità di propagazione verso E: da dove vengono prelevati i dati propagati verso E? [3]



5. In qualità di esperti consulenti dell'implementazione del processore MIPS mediante pipeline, vi viene chiesto di sviluppare possibili varianti progettuali rivolte in particolare alla riduzione delle penalità dovute a criticità sui dati. Per ragioni di compatibilità, l'architecture è fissata e, come istruzioni rappresentative, potete fare riferimento alle usuali lw, sw, Tipo-R, beq e j; ogni soluzione che rispetti questo vincolo (incluse variazioni delle operazioni effettuate nei singoli stadi, variazioni del numero di stadi, ecc.) è consentita. Con l'hardware che avete a disposizione, per decodificare le istruzioni MIPS l'unità di decodifica impiega 2 ns, mentre tutte le altre unità funzionali "critiche" (Memoria istruzioni, Register File in lettura, ALU, Memoria Dati, Register File in scrittura) richiedono 1 ns. Si chiede di esprimere un parere in merito ed, eventualmente, schematizzare con un disegno la soluzione individuata. [2]

6. Nell'ambito dei processori che utilizzano la pipeline, si illustri brevemente il concetto di interruzione precisa e interruzione imprecisa. Con una pipeline dinamica, si illustri sinteticamente un'organizzazione dell'hardware del processore in grado di garantire che tutte le eccezioni siano precise. [3]

7. Illustrare dettagliatamente (eventualmente aiutandosi con uno schema) la tecnica di arbitraggio dei bus mediante daisy chain, spiegando inoltre da che cosa dipende la priorità tra i dispositivi. [3]

8. E' dato un bus sincrono che collega un processore P ad una memoria M e che consente il trasferimento di parole di memoria a blocchi. Il bus è dotato di linee distinte per dati e indirizzi. Inoltre, le linee di controllo coinvolte in un'operazione di trasferimento di un blocco di parole dalla memoria al processore (lettura) sono le seguenti:

READ: utilizzato dal processore P per segnalare una richiesta di lettura di un blocco dalla memoria. Esso rimane attivo (a livello basso) fino a quando il processore desidera leggere ulteriori parole; viene disattivato dal processore nel corso della lettura dell'ultima parola per segnalare la fine del trasferimento.

WAIT: utilizzato dalla memoria per segnalare, prima dell'inizio del trasferimento, la necessità di uno o più cicli di clock di attesa.

La pagina seguente riporta l'evoluzione temporale di un'operazione di lettura di un blocco costituito da due parole di memoria.

Si chiede di:

- Specificare la macchina a stati finiti che controlla l'esecuzione, nel processore P, del protocollo di lettura di un blocco di due parole, assumendo che la memoria possa richiedere l'attesa di un numero arbitrario di cicli.
- Specificare la macchina a stati finiti che controlla l'esecuzione, nella memoria M, del protocollo di lettura da parte del processore di un blocco di un numero generico di parole, assumendo che la memoria M necessiti di richiedere l'attesa di un ciclo di clock.

Le specifiche proposte devono essere coerenti con il diagramma che segue.

[6]

